

# METHOD OF MANUFACTURING ELECTRONIC PART

**Patent number:** JP2003115403  
**Publication date:** 2003-04-18  
**Inventor:** SATO SATORU; FUJIMARU TAKUYA; IZUMI YASUHIRO; YONEDA YOSHITO; TAWARA YASUNORI; KIYOMURA YOSHIHIRO  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
- **international:** H01C1/028; H01C17/06; H01F17/00; H01F27/02; H01F41/04; H01G4/06; H01G4/40; H01F27/29; H01F27/32; H01C1/02; H01C17/06; H01F17/00; H01F27/02; H01F41/04; H01G4/06; H01G4/40; H01F27/29; H01F27/32; (IPC1-7): H01C17/06; H01G4/33  
- **european:** H01C1/028; H01C17/06; H01F17/00A4; H01F27/02C; H01F41/04A; H01G4/06; H01G4/40  
**Application number:** JP20010307269 20011003  
**Priority number(s):** JP20010307269 20011003

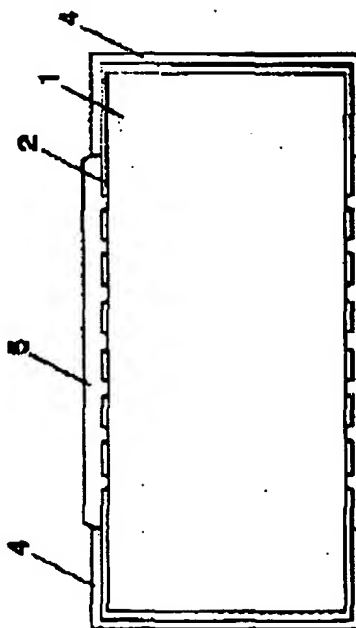
Also published as:

US6946945 (B2)  
US2003079904 (A1)

Report a data error here

## Abstract of JP2003115403

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing an electronic part, where at least one of its easy production an improvement in mountability, and an increase in properties can be realized. **SOLUTION:** An element unit 3 having at least one of functions such as inductance, resistance, and capacitance is formed on a base 1, a resist film 4 is formed on the side of the base 1 and patterned, its disused part is removed, a protective material 5 is formed on a part where the disused part is removed, and the residue of the resist film 4 is removed.



(19) 대한민국특허청 (KR)  
(12) 공개특허공보 (A)

(51) 。 Int. Cl. <sup>7</sup>  
H01F 17/00

(11) 공개번호 특2003 - 0029480  
(43) 공개일자 2003년04월14일

(21) 출원번호 10 - 2002 - 0060218  
(22) 출원일자 2002년10월02일

(30) 우선권주장 JP - P - 2001 - 00307269 2001년10월03일 일본 (JP)

(71) 출원인 마쯔시다덴기산교 가부시기가이샤  
일본국 오사카후 가도마시 오아자 가도마 1006반지

(72) 발명자 사토사토시  
일본국미야자키켄미야자키군사도와라쵸오아자시모타지마21619 - 70  
후지마루다쿠야  
일본국미야자키켄미야자키시요시무라쵸오하가시마코408 - 5  
이즈미야스히로  
일본국미야자키켄고우군신토미쵸오아자뉴타6157 - 6  
요네다요시토  
일본국미야자키켄미야자키시나미시마1 - 1 - 36 - 1  
다바루야스노리  
일본국미야자키켄미야자키군사도와라쵸오아자가미타지마1926  
기요무라요시히로  
일본국후쿠오카켄오오노조시히가시오리1 - 10 - 17 - 202

(74) 대리인 한양특허법인

심사청구 : 없음

(54) 전자부품 및 그 제조방법

요약

본 발명은, 기대(基盤)에 인덕터, 저항, 캐패시터 중 적어도 하나의 기능을 갖는 소자부를 형성하고, 기대의 적어도 측면 상에 레지스트 막을 형성하고, 레지스트 막을 패터닝하여 불필요 부분을 제거하고, 제거한 부분에 보호재를 형성하여, 레지스트 막의 잔류 부분을 제거하는 제조방법에 의해, 보호막과 기대의 접착 강도가 우수한 전자부품을 제공한다.

도 13

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 2는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 3은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 4는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 5는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 6은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 7은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 8은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 9는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 10은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 11은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 12는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 13은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 14는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 15는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 16은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 사시도,  
도 17은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 18은 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도,  
도 19는 본 발명의 일 실시 형태에서의 전자부품의 제조방법을 도시하는 단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

10 : 기대 20 : 형성막

30 : 소자부 40 : 레지스트 막

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이동체 통신 등의 전자 기기에 이용되는 전자부품 및 그 제조방법에 관한 것이다.

칩형의 전자부품에는, 적층형 전자부품이나, 기대(基臺) 등의 표면에 도전막 등을 도금법에 의해 형성하고, 그 도전막 등을 가공하여 소자부를 형성하며, 그 소자부를 보호재로 덮은 전자부품 등이 있다.

특히 후자의 경우, 절연성 페이스트 등을 도포하여 보호재를 형성하고 있다. 비교적 사이즈가 큰 전자부품의 경우에는, 페이스트를 도포하는 방법으로 보호재를 형성해도 그다지 문제는 없었다. 최근,  $1.0 \times 0.5\text{mm}$ 나  $0.6 \times 0.3\text{mm}$  사이즈의 소형 전자부품이 상품화되어 있고, 앞으로는 더 작은  $0.4 \times 0.2\text{mm}$  사이즈의 전자부품의 등장도 생각할 수 있다.

전자부품의 소형화에 따라, 페이스트 등으로 보호재를 형성하면, 보호재가 둥글게 형성되어, 소자 일어섬 현상 등이 현저하게 발생한다는 문제점이 생기고 있다. 또한, 도포 정밀도가 나쁘므로, 전자부품의 양단에 형성되는 단자 전극의 형상에 편차가 생겨, 전자부품의 특성에 악영향을 주고 있다. 일본국 특개평 11-3820호 공보에는 보호재를 전착법(電着法)에 의해 형성하는 것이 제안되어 있다.

그러나, 단순히 전자부품의 보호재를 전착막으로 형성하면, 전착막은 소자의 모든 부분에 부착된다. 그 때문에, 단자 전극을 형성할 때에는, 소자의 양단부에 부착한 전착막을 제거할 필요가 있다. 이 공정은 매우 시간을 요하여, 생산성이 향상되지 않았다. 또, 전착막을 제거할 때에, 기대 상에 형성된 도전막 등에 손상을 주면, 특성의 열화나 특성의 편차가 생긴다. 한편, 상술의 선행예에 기재되어 있는 바와 같이 전착막이 소자의 양단에 부착하지 않도록 소자의 양단부를 지그 등으로 덮는 공법도 있다. 그러나, 소자와 지그의 간극으로부터 전착액이 진입하기 쉽고, 소자 양단부에 전착막이 형성되어, 소자의 양단에 단자 전극을 형성하기 어려운 등의 문제점이 있다. 또한, 보호재의 형성을 페이스트 도포법이나 전착법으로 행하면, 보호재의 단부에는 요철이 형성되고, 단자 전극의 소자 중심측 단부가 요철 형상으로 되어, 실장성이나 특성에 영향을 주는 문제점도 있다. 또, 소형의 전자부품으로 되면 될수록, 보호재의 형성 두께가 얇아지고, 보호재와 소자 본체의 접합 강도가 약해진다는 문제점도 있다.

보호재의 형성을 효율적이며 고정밀도로 행하고, 또한 소자 본체와의 밀착성을 향상시키는 것은, 전자부품의 특성 안정, 실장성 향상, 생산성 향상의 점에서 큰 과제이다.

### 발명이 이루고자 하는 기술적 과제

기대와, 상기 기대에 형성된 막과, 상기 막과 상기 기대의 쌍방에 형성된 홈과, 상기 홈의 바닥부에 형성된 오목부 내에 형성된 수지부와, 상기 홈을 덮은 상기 수지부와 접합하고 있는 보호재와, 상기 보호재를 끼우도록 상기 기대의 양단에 형성된 단자부를 갖는 전자부품을 제공한다.

### 발명의 구성 및 작용

이하, 본 발명에서의 실시 형태에 대해 도면을 이용하여 구체적으로 설명한다. 또한, 도면은 모식도로 각 위치를 치수적으로 정확히 나타낸 것은 아니다.

또한, 본 발명에서의 전자부품이란, 기대 표면에 소자부를 형성하는 칩 인덕터, 칩 저항기, 칩 콘덴서, 칩 안테나, 칩 전류 퓨즈 등을 나타내고 있다.

먼저, 도 1, 도 2에 도시하는 바와 같이 기둥 형상의 기대(10)를 압축 성형, 압출법 등을 이용하여 형성한다. 기대(10)는 알루미늄 등의 세라믹 재료와 수지 재료 등의 절연 재료와 페라이트 등의 자성 재료로 이루어지는 군 중에서 선택된 적어도 1종의 재료로 구성된다. 기대(10)의 형상으로는 판 형상체, 기둥 형상체가 적절히 이용되고, 구체적으로는 도시하고 있는 사각 기둥 형상체, 오각 기둥 형상체 등의 다각 기둥 형상체나 원주 형상체 등이 이용된다. 실장성 등을 고려하면, 다각 기둥 형상체인 것이 바람직하다. 구성이 간단한 사각 기둥 형상체가 특히 바람직하다. 또, 다각 기둥 형상체를 이용한 경우에는, 각부(角部)에 면따기를 실시하는 것이 바람직하다. 면따기를 실시함으로써, 기대(10) 상에 형성하는 도전막 등이 각부에서 얇아지는 것을 방지할 수 있어, 특성 열화를 억제할 수 있다. 적어도 기대(10)의 측면 사이에서 구성되는 각부(10a)에서 면따기를 실시하는 것이 바람직하다.

왜냐하면 이 기대(10) 측면의 일부 혹은 전체 둘레에 걸쳐, 인덕터, 저항, 캐패시터 중 적어도 하나의 특성을 갖는 소자부를 형성하기 때문이다. 다음에, 도 3, 도 4에 도시하는 바와 같이, 기대(10)의 전체 표면에 막(20)을 형성한다. 막(20)은 도전막이나 저항막으로 구성된다. 예를 들면, 전자부품이 칩 인덕터나 칩 콘덴서인 경우에는 막(20)은 도전막으로 구성되고, 칩 저항기인 경우에는 저항막이나 얇은 도전막으로 구성된다. 또, 전자부품이 칩 안테나인 경우에는 막(20)은 도전막으로 구성된다.

또한, 전자부품이 칩 전류 퓨즈인 경우에는 막(20)은 저항막이나 얇은 도전막으로 구성된다. 막(20)의 구성 재료로는 금, 은, 동, 탄소, Ni-Cr, 산화루테튬, 니켈 등의 도전 재료나 저항 재료를 들 수 있다.

또한, 상기 재료 단체(單體)나 상기 재료와 다른 원소의 합금 등도 적절히 이용된다. 막(20)의 제법으로서는, 무전해 도금법, 전해 도금법, 증착법, 스퍼터링법, 페이스트를 도포하여 기대(10)에 구워서 붙이는 방법 등이 있다.

또한, 본 실시 형태에서는, 막(20)을 기대(10)의 전체면에 형성하였지만, 전자부품의 종류에 따라, 기대(10)의 측면의 전체 둘레에만 형성하거나 혹은 측면의 일부에만 형성하는 구성도 있다.

즉, 막(20)은 적어도 측면의 일부에 상술의 재료 및 제법으로 구성된다. 다음에, 도 5, 도 6에 도시하는 바와 같이, 기대(10)의 양단을 피해 소자부(30)를 형성한다. 이것은, 일반적으로 기대의 양단부는 단자부로서 사용하기 때문이다. 또, 단자부를 기대(10)의 중앙부 또는 한쪽 단부 등에, 하나 혹은 3개 이상 형성하는 경우에는, 그 단자부가 되는 영역 이외의 부분에 소자부(30)를 형성한다. 소자부(30)의 구성은 전자부품의 종류 등에 따라 다르므로, 종류별로 구체적으로 설명한다.

먼저, 전자부품이 칩 인덕터인 경우에는, 상술의 막(20)은 동 등의 도전막으로 구성되고, 또한 막(20)은 적어도 기대(10)의 측면 전체 둘레에 걸쳐 형성된다.

도 5, 도 6에 도시하는 바와 같이 레이저 가공이나 연삭숫돌 가공 등의 트리밍으로, 막(20) 혹은 막(20)과 기대(10)의 표면부에 홈(70)을 형성한다. 홈(70)은 기대(10)의 측면 전체 둘레에 걸쳐 나선 형상으로 형성되고, 그 결과 나선 형상으로 막(20)이 남는다.

이 나선 형상의 막(20)의 축심은 기대(10)의 단면(10b)에 대해 교차하도록 형성된다. 홈의 폭, 권회 밀도 등을 조정함으로써, 인덕턴스값의 조정을 행할 수 있다.

또한, 칩 안테나도 동일한 구성으로 실현할 수 있고, 칩 저항기도 막을 저항막에 대신하면 상술의 구성으로 실현 가능하다.

또한, 칩 콘덴서의 경우에는 미리 막(20)을 기대(10) 상에 형성하고, 상술의 트리밍에 의해, 막(20)을 복수로 분할하는 홈을 형성하여 소자부(30)를 형성한다.

또한, 칩 전류 퓨즈의 경우에는, 상술의 트리밍에 의해, 홈을 주회 형상으로 형성하고, 또 홈의 선단부 사이에서 막(20)에 협폭부(용단부)를 형성하여 소자부(30)를 형성한다.

또, 하나의 기대(10) 상에 나선 형상의 홈을 형성함과 동시에, 주회 형상으로 홈을 형성함으로써, 코일과 콘덴서를 일체화한 LC 복합 전자부품이나 LR 복합 전자부품 등의 복합 전자부품도 구성할 수 있다. 또한, 본 실시 형태에서는 어느 전자부품의 경우나, 막(20)에 트리밍에 의해 홈을 형성하여 소자부(30)를 형성하고 있다. 그러나, 트리밍 등 이외에, 미리 패턴 형성에 의해 나선 형상의 도전막을 형성하여 칩 인덕터나 칩 안테나를 구성하거나, 나선 형상의 저항막을 형성하여 칩 저항기를 구성하여도 된다. 다음에 도 7, 도 8에 도시하는 바와 같이, 소자 전체를 덮도록 레지스트 막(40)을 형성한다.

레지스트 막(40)으로서는: 포지티브(positive)형 혹은 네거티브(negative)형의 어느 것이나 이용할 수 있다. 또, 레지스트 막(40)으로서는, 자외선 경화 수지, 자외선 붕괴 수지, 전자선 경화 수지, 전자선 붕괴 수지, 가시광 경화 수지, 가시광 붕괴 수지, X선 경화 수지, X선 붕괴 수지, 방사선 경화 수지, 방사선 붕괴 수지 등의 에너지선 경화 수지나 에너지선 붕괴 수지가 적절히 이용된다. 구체적으로는 에폭시계 수지(페놀노보락형 등)나 아크릴계 수지(우레탄아크릴레이트 등)를 들 수 있다. 이와 같이, 에너지선에 의해 경화 혹은 붕괴하는 재료를 이용함으로써, 매우 정밀도 좋게 패턴닝할 수 있다. 또, 레지스트 막(40)으로서는, 열경화형 수지나 열붕괴 수지도 사용 가능하다. 구체적 재료로서는, 아크릴계 수지, 우레탄계 수지, 에폭시계 수지, 요소 수지, 멜라닌 수지 등이 있다. 레지스트 막(40)의 형성방법으로서는, 도포하여 건조시키는 방법이나, 전착법에 의해 형성 후 건조시키는 방법이 있다. 특히 전착법에 의한 형성법은 레지스트 막(40)을 얇게 형성할 수 있고, 또 소자의 각부에 형성되는 레지스트 막(40)이 둥글게 되지 않으므로 특히 바람직하다. 즉, 소자의 표면을 따라 레지스트 막(40)이 형성되기 쉽다. 이 전착법으로 레지스트 막(40)을 형성하는 경우에는, 그 막 두께는 3~30 $\mu\text{m}$ (바람직하게는 5~20 $\mu\text{m}$ )로 하는 것이 바람직하다. 막 두께가 3 $\mu\text{m}$ 보다 작으면, 충분히 소자를 덮을 수 없고, 또 보호재가 부착되어서는 안되는 부분에 부착될 가능성이 있다. 한편, 30 $\mu\text{m}$ 보다 두꺼우면, 레지스트 막(40)이 둥글게 되어, 정밀도 좋은 보호재를 형성하기 어렵다. 또한, 전착법 이외에도 정전 분체 도장(塗裝), 자외선 도장 등에 의해 레지스트 막을 형성해도 된다. 다음에, 자외선 붕괴 수지를 레지스트 막(40)으로서 이용한 경우에 대해 설명한다.

먼저, 레지스트 막(40)을 전착법으로 소자 상에 형성하고, 80~120℃의 온도로 5~10분 건조시킨다. 또한, 차폐판 등을 이용하여, 도 9에 도시하는 A 영역에만 자외선을 수 초 내지 수십 초 조사한다. 이 때, 자외선은 A 영역으로 표시되는 소자의 측면 전체 둘레에 걸쳐 조사된다. 이 A 영역은 소자부(30)가 되는 부분이다.

B 영역은 단자부가 되는 부분이다. 다음에, 자외선 조사 후의 레지스트 막(40)을 현상제로 현상하면, 자외선이 조사된 부분(거의 A 영역)의 레지스트 막(40)이 제거된다. 소자부(30)가 표출하고, B 영역의 레지스트 막(40)이 소자의 양단부에 남는다(도 10, 도 11 참조). 또, 자외선 경화 수지를 레지스트 막(40)으로서 이용하는 경우는, 역시 차폐판 등을 이용하여, 자외선을 도 9에 도시하는 B 영역에만 조사한다. 다음에, 현상에 의해 A 영역의 레지스트 막(40)을 제거하고, B 영역의 레지스트 막(40)을 잔류시킨다.

이상과 같이 B 영역, 즉 단자부가 되는 영역에 매우 정밀도 좋게 레지스트 막(40)을 잔류시킬 수 있다. 그 결과, 후술하는 보호재가 단자부를 형성하고자 하는 부분에 부착되는 것을 방지할 수 있고, 또 보호재의 소자 중심측 단부의 요철을 매우 작게 할 수 있다. 또한, 본 실시 형태에서는, 레지스트 막(40)을 소자의 전체면에 형성하였는데, 예를 들면, 전착법 등으로 레지스트 막(40)이나 후술의 보호재를 형성하는 경우에는, 도 1에 도시하는 양단면(10b)에 도전성을 갖는 지그 부재를 맞닿게 하여 제조시의 반송 등을 용이하게 하는 것이 있다. 이 경우에는, 레지스트 막(40)은 실질적으로 소자의 전체 측면 상에만 형성된다. 따라서, 레지스트 막(40)은 적어도 소자의 측면 상에 형성하는 것이 바람직하다. 다음에 도 12, 도 13에 도시하는 바와 같이 전착막으로 이루어지는 보호재(50)로 소자부(30)를 덮는다. 이 때, 보호재

(50)는 아크릴계 수지, 에폭시계 수지, 불소계 수지, 우레탄계 수지, 폴리이미드계 수지 등의 수지 재료 중 적어도 하나로부터 선택된 전착 수지막에 의해 구성된다.

또한, 전착 수지막으로서 양이온계, 음이온계 중 어느 쪽을 선택하는가는, 소자의 구성 재료, 전착막의 구성 재료, 전자 부품의 용도 등을 고려하여 결정된다. 보호재(50)는 다른 재료로 구성된 전착막을 적층해도 되고, 동일 재료를 적층해도 된다.

또한, 보호재(50)의 막 두께는 평균  $10\mu\text{m}\sim 25\mu\text{m}$ (보다 바람직하게는  $12\sim 20\mu\text{m}$ )로 하는 것이 바람직하다.

또한, 보호재(50)의 막 두께는 도 12, 도 13에 도시하는 바와 같이 레지스트 막(40)의 막 두께보다도 두껍게 형성하는 쪽이 바람직하다. 또한, 보호재(50)의 재료로서는, 땀납의 용점인  $183^{\circ}\text{C}$ 에서, 연소나 증발하지 않는 내열성을 갖는 것이 바람직하다.

다음에, 도 14 및 도 15에 도시하는 바와 같이, 소자의 양단에 형성된 레지스트 막(40)을 제거한다. 레지스트 막(40)을 제거하는 방법으로서, 예를 들면 레지스트 막(40)을 에너지선 붕괴 수지로 구성한 경우에는, 자외선 등을 레지스트 막(40)에 조사한 후에 현상제 등에 의해 현상한다. 그리고, 레지스트 막(40)을 거의 100% 제거하여, 막(20)을 표출시킨다.

이 시점에서, 양단에 표출된 막(20)을 단자부로서 이용하면 전자부품으로서 완성된다. 또한, 회로기판 등의 접합성을 충분히 양호하게 하기 위해서는, 단자 전극(60)을 형성하는 것이 바람직하다. 도 16, 도 17에 단자 전극(60)을 형성한 예를 나타낸다.

단자 전극(60)은 소자의 양단에 표출한 막(20) 상에 형성되어 있다. 단자 전극(60)은 단일 혹은 복수의 도전층을 적층하여 구성된다. 단자 전극(60)의 형성은 도금법, 스퍼터링법, 증착법 등의 박막 형성법이나 도전성 페이스트를 도포하여 구워서 붙이는 방법 등을 이용하여 행해진다. 본 실시 형태에서는, 한번에 다량의 단자 전극(60)을 형성할 수 있고, 또 보호재(50)를 패턴으로서 이용할 수 있는 도금법(특히 전해 도금법)을 이용한다.

단자 전극(60)은 내식막이나 접합막 중, 적어도 어느 하나를 단층 혹은 적층하여 구성된다. 내식막으로서, Ti, Ni, W, Cr 등의 부식되지 않는 금속막이나, 그들 금속 재료의 합금막(Ni-Cr 등) 등을  $0.5\sim 3\mu\text{m}$ 의 막 두께로 구성하는 것이 바람직하다. 특히, Ni 단층 또는 Ni 합금을 이용하는 것이 특성면이나 비용면 등에서 우수하다. 또한, 내식막 또는 막(20) 상에 땀납이나 납 프리(free)의 접합재(Sn 단층 혹은 Sn에 Ag, Cu, Zn, Bi, In 중 적어도 하나를 포함시킨 납 프리 땀납 등)로 구성된 접합막을  $5\sim 10\mu\text{m}$ 의 막 두께로 형성하여도 된다. 이와 같이 구성함으로써, 단자 전극(60)의 내식성이나 혹은 회로기판 등의 접합성을 향상시킬 수 있다.

또한, 단자 전극(60)을 형성할 때에는, 바람직하게는 단자 전극(60)의 표면이 보호재(50)의 표면보다도  $2\mu\text{m}$  이상 돌출하는 구성이 되도록 하는 것이 바람직하다. 또한, 생산성 등을 고려하면 상기 상기 돌출량은  $7\mu\text{m}$  이하로 하는 쪽이 바람직하다. 이와 같은 구성에 의해, 회로기판 상에 실장할 때, 양단의 단자 전극(60)이 회로기판 상의 랜드 등과 접촉하게 되어, 실장성이 향상한다.

이상과 같이 제조되는 전자부품은, 보호재(50)를 레지스트 막(40)을 이용하여 패턴링하여 구성한다. 종래의 도포에 의한 보호재(50)의 형성의 경우보다도, 정밀도 좋게 보호재(50)를 형성할 수 있다. 또 종래의 전착법으로 보호재(50)를 형성하는 경우 등에 발생하였던 불필요 부분으로의 전착막의 부착을 방지할 수 있다. 전착막의 제거 작업 등이 불필요하게 되어, 생산성이 향상한다.

또, 이상과 같은 구성에 의하면, 보호재(50)와 양단의 막(20)의 경계부 또는 보호재(50)와 단자 전극(60)의 경계부의 요철의 차를  $7\mu\text{m}$  이하로 할 수 있다. 그 결과, 단자부가 되는 막(20) 또는 단자 전극(60)의 치수 정밀도를 매우 높일 수 있기 때문에, 소자 일어섬 현상의 방지 등을 행할 수 있다.

또한, 상기 전자부품의 형상은 길이 L1, 폭 L2, 높이 L3로서, 이하와 같이 되어 있는 것이 바람직하다.

L1 = 0.2~2.0mm(바람직하게는 0.2~1.0mm)

L2 = 0.1~1.0mm(바람직하게는 0.1~0.5mm)

L3 = 0.1~1.0mm(바람직하게는 0.1~0.5mm)

상기 구성은 특히 소형 전자부품에 대해 유용하다.

소위 1.0×0.5mm 사이즈의 전자부품, 0.6×0.3mm 사이즈의 전자부품, 0.4×0.2mm 사이즈의 전자부품 등과 같은 0.4×0.2mm~1.0×0.5mm 사이즈 범위의 전자부품에 특히 유용하다. 즉, 전자부품의 소형화와 함께 양단의 단자부의 치수 정밀도는 특히 실장성에 영향을 미치고, 단자부의 치수 정밀도의 악화는 소자 일어섬 현상 등의 발생을 유발시키기 쉽다. 또한, 본 실시 형태에서는, 기대(10)의 표면에 소자부(30)를 형성한 전자부품의 예로 설명하였는데, 소자부(30)를 기대 안에 매설하여 보호재(50)를 설치할 필요가 있는 전자부품 등에도 적용할 수 있다. 또한, 본 실시 형태에서는, 기대(10)의 전체 측면에 걸쳐 소자부(30)를 형성하고, 기대(10)의 전체 측면에 걸쳐 보호재(50)를 형성하였다. 또한, 기대(10)의 측면의 일면 혹은 몇면에 걸쳐 소자부(30)를 형성하고, 그 소자부(30)를 덮도록 기대(10)의 측면의 일면 혹은 몇면(전체 둘레가 아님)에 걸쳐 보호재(50)를 설치하여도 된다. 예를 들면, 기대(10)를 판 형상으로 함으로써, 기대(10)의 측면에서의 일면에 소자부(30)를 형성하고, 그 일면 상에 보호재(50)를 형성하여 소위 플레이트형의 전자부품에도 적용할 수 있다.

도 18은 도 11에서의 홈(70)의 부분을 확대한 도면이다.

도 11에서, 홈(70)은 막(20)만으로 형성되어 있는 것처럼 보인다. 그러나, 실제로는 도 18에 도시하는 바와 같이, 레이저 가공이나 연삭숫돌 가공으로 막(20)에 홈(70)을 형성하면, 동시에 기대(10)에도 홈이 형성된다. 이 때, 기대(10)에 형성된 홈(70)의 바닥부에는 비교적 큰 오목부(100)가 다수 형성된다.

종래는, 이와 같이 기대(10)에 형성된 홈(70)의 바닥부에 오목부(100)가 형성된 상태로, 다음에 직접 보호재(50)를 형성하고 있었으므로, 보호재(50)와 기대(10)의 밀착 강도가 낮았다.

그 이유는, 보호재(50)는 수지 재료로 구성되고, 기대(10)는 세라믹 등의 무기 재료로 구성되어 있으므로 밀착 강도가 그다지 향상하지 않았다. 본 실시 형태에서는, 도 19에 도시하는 바와 같이, 기대(10)에 형성된 홈(70)의 바닥부의 오목부(100) 안에 수지부(101)를 형성하고, 이 오목부(100)를 메우는 구성으로 한다. 다음에 보호재(50)를 형성하면, 홈(70) 전체가 메워진다. 보호재(50)와 수지부(101)는 모두 수지 재료이므로 접합 강도가 크고, 박리 등에 대해 강하다. 본 실시 형태에서는, 레지스트 막(40)으로 패터닝하고 있는데, 이 레지스트 막(40)을 제거할 때, 기대(10)에 형성된 홈의 오목부(100) 중에 레지스트 막(40)의 일부가 잔류하도록 조정할 수 있다. 예를 들면 현상제에 침적 시간을 조정하거나, 현상제의 재료 등을 적절하게 선택함으로써, 홈(70)에 형성되어 있는 오목부(100)내 전부 혹은 일부에, 수지부(101)로서 레지스트 막(40)을 잔류시킬 수 있다.

상술과 같이, 노광이나 현상 등을 실시하여 기대(10)의 홈 바닥부에 잔류한 수지부(101)는 비교적 강고히 기대(10)와 접합하고 있다.

다음에 보호재(50)를 형성하면, 보호재(50)와 수지부(101)가 강고히 접합하여, 얇은 보호재(50)라도 충분한 강도로 소자 본체에 형성할 수 있다. 특히, 보호재(50)에 열처리를 가함으로써, 더욱 확실히 보호재(50)와 수지부(101)를 접합시킬 수 있다.



또한, 본 실시 형태에서는 수지부(101)로서 레지스트 막(40)의 일부를 잔류시켜 구성한다. 새로운 재료를 이용하지 않고, 수지부(101)를 형성할 수 있으므로, 생산성 등을 향상시킬 수 있다.

또한, 수지부(101)의 형성은 레지스트 막(40)과는 별도의 에폭시 수지 등을 도포하여 행하여도 된다.

또, 막(20)에 패터닝을 실시하고, 에칭으로 홈 등을 형성하는 경우에, 기대의 홈에서 노출된 표면은 에칭으로 다소의 요철이 형성된다. 이 경우, 에칭시에 완성된 오목부 내에 수지부(101)가 형성된다.

#### 발명의 효과

본 발명에 의하면, 보호재(50)를 레지스트 막(40)을 이용하여 패터닝하여 구성한다. 종래의 도포에 의한 보호재(50)의 형성의 경우보다도, 정밀도 좋게 보호재(50)를 형성할 수 있다. 또 종래의 전착법으로 보호재(50)를 형성하는 경우 등에 발생하였던 불필요 부분으로의 전착막의 부착을 방지할 수 있다. 전착막의 제거 작업 등이 불필요하게 되어, 생산성이 향상한다.

또한, 보호재(50)와 양단의 막(20)의 경계부 또는 보호재(50)와 단자 전극(60)의 경계부의 요철의 차를  $7\mu\text{m}$  이하로 할 수 있다. 그 결과, 단자부가 되는 막(20) 또는 단자 전극(60)의 치수 정밀도를 매우 높일 수 있기 때문에, 소자 일어섬 현상의 방지 등을 행할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

전자부품에 있어서,

기대와, 상기 기대에 형성된 막과, 상기 막과 상기 기대 쌍방에 형성된 홈과, 상기 홈의 바닥부에 형성된 오목부 내에 형성된 수지부와, 상기 홈을 덮은 상기 수지부와 접합하고 있는 보호재와, 상기 보호재를 끼우도록 상기 기대의 양단에 형성된 단자부를 갖는 것을 특징으로 하는 전자부품.

##### 청구항 2.

제1항에 있어서, 상기 수지부와 상기 보호재는 다른 수지 재료인 것을 특징으로 하는 전자부품.

##### 청구항 3.

제1항에 있어서, 상기 수지부와 상기 보호재는 전착막인 것을 특징으로 하는 전자부품.

##### 청구항 4.

전자부품의 제조방법에 있어서,

기대에 인덕터, 저항, 캐패시터 중 적어도 하나의 기능을 갖는 소자부를 형성하는 공정과, 상기 기대의 적어도 하나의 측면 상에 레지스트 막을 형성하는 공정과, 상기 레지스트 막을 패터닝하여 불필요 부분을 제거한 후 상기 제거한 부분에 보호재를 형성하는 공정과, 상기 레지스트 막의 잔류 부분을 제거하는 공정을 갖는 것을 특징으로 하는 전자부품의 제조방법.

##### 청구항 5.

제4항에 있어서, 상기 소자부와 전기적으로 접속한 단자 전극을 형성하는 공정을 더 갖는 것을 특징으로 하는 전자부품의 제조방법.

#### 청구항 6.

제4항에 있어서, 상기 소자부를 형성하는 공정인, 상기 기대 표면 상에 형성한 막에 트리밍에 의해 홈을 형성하는 공정과 패터닝 형성에 의해 상기 소자부를 형성하는 공정 중 적어도 어느 하나인 것을 특징으로 하는 전자부품의 제조방법.

#### 청구항 7.

제4항에 있어서, 상기 레지스트 막을 형성하는 전착 공정을 갖는 것을 특징으로 하는 전자부품의 제조방법.

#### 청구항 8.

제4항에 있어서, 상기 레지스트 막을 에너지선 붕괴 수지로 형성하는 공정과, 상기 레지스트 막의 불필요 부분에 에너지선을 조사 후 현상하여, 불필요 부분을 제거하는 공정을 갖는 것을 특징으로 하는 전자부품의 제조방법.

#### 청구항 9.

제4항에 있어서, 상기 보호재를 형성하는 전착 공정을 갖는 것을 특징으로 하는 전자부품의 제조방법.

#### 청구항 10.

전자부품의 제조방법에 있어서,

기둥 형상의 기대의 적어도 전체 측면에 연속한 막을 형성하는 공정과, 상기 막에 트리밍이나 패터닝으로 소자부를 형성하는 공정과, 상기 기대의 적어도 전체 측면 상에 상기 소자부를 덮도록 레지스트 막을 형성하는 공정과, 상기 레지스트 막의 기대 양단부를 남기고 다른 부분을 제거하여 상기 소자부를 표출시키는 공정과, 상기 표출한 소자부 상에 보호재를 형성하는 공정과, 상기 레지스트의 잔류 부분을 제거한 후 상기 기대 양단부에 형성된 막을 표출시키는 공정을 갖는 것을 특징으로 하는 전자부품의 제조방법.

#### 청구항 11.

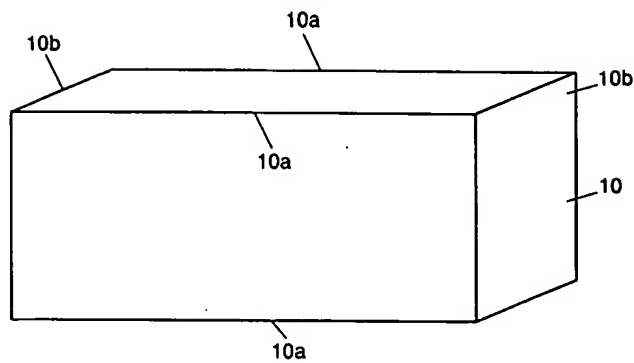
제10항에 있어서, 상기 레지스트 막과 상기 보호재를 형성하는 전착 공정을 갖는 것을 특징으로 하는 전자부품의 제조방법.

#### 청구항 12.

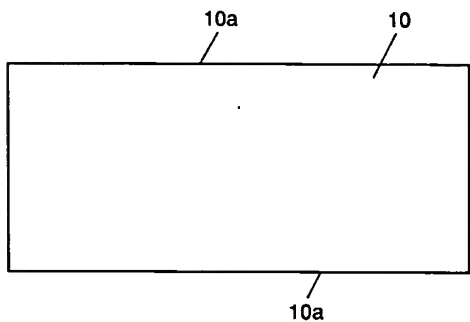
제10항에 있어서, 상기 레지스트 막을 에너지선 붕괴 수지로 형성하는 공정과, 상기 레지스트 막의 불필요 부분에 에너지선을 조사 후 현상하여, 불필요 부분을 제거하는 공정을 갖는 것을 특징으로 하는 전자부품의 제조방법.

도면

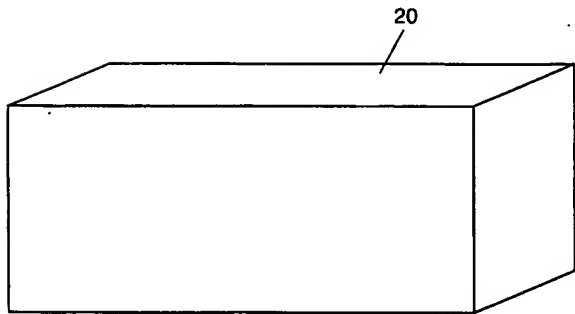
도면 1



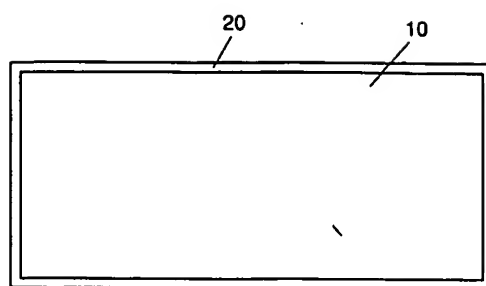
도면 2



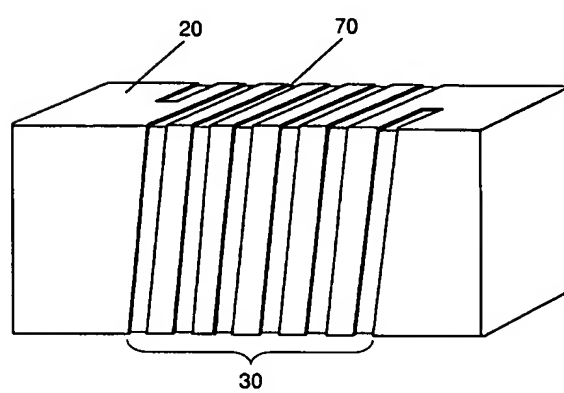
도면 3



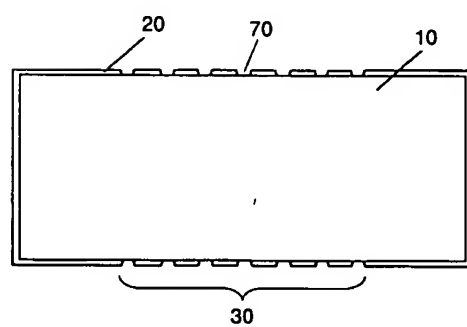
도면 4



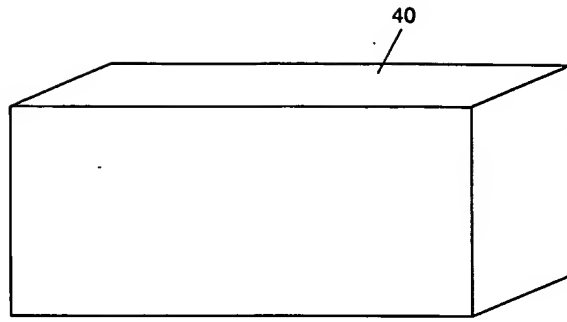
도면 5



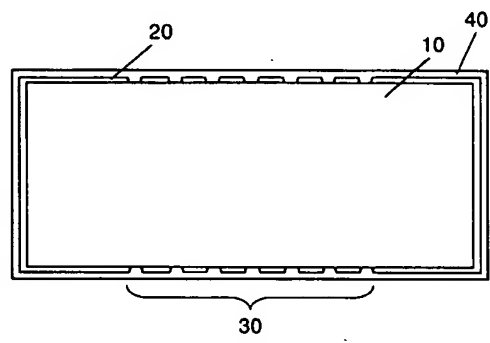
도면 6



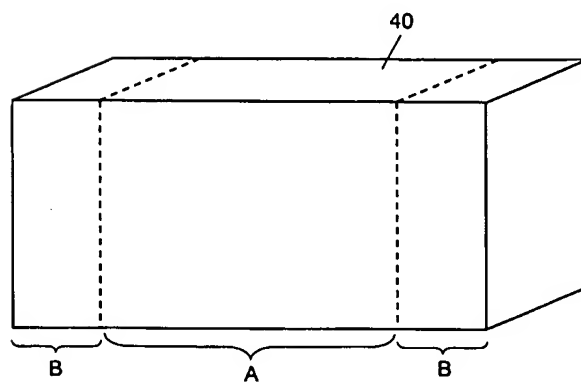
도면 7



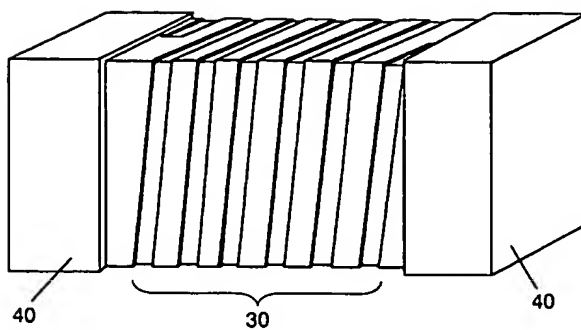
도면 8



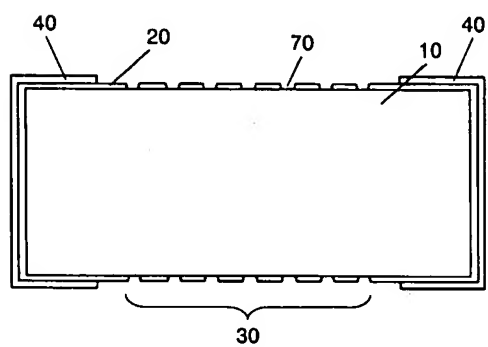
도면 9



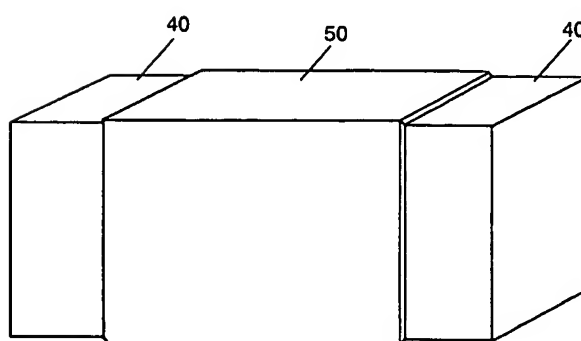
도면 10



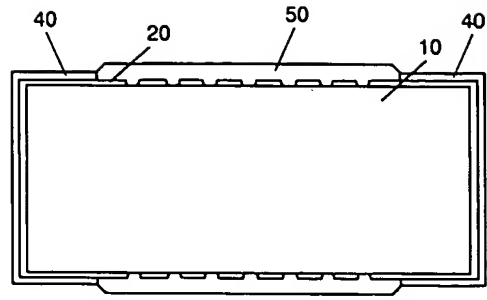
도면 11



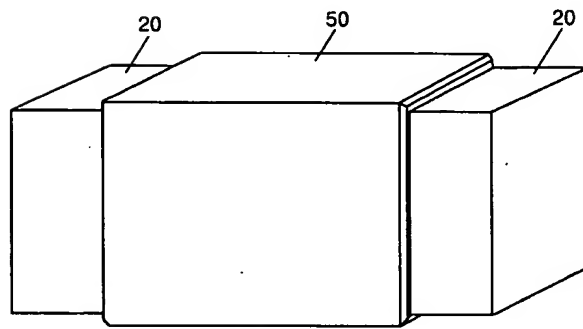
도면 12



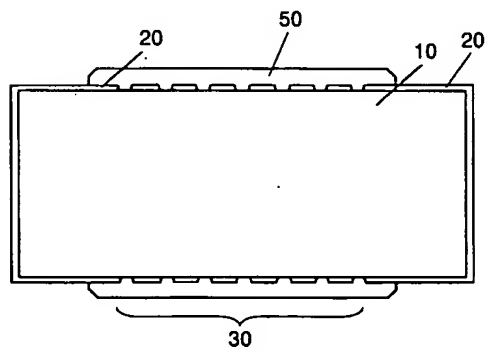
도면 13



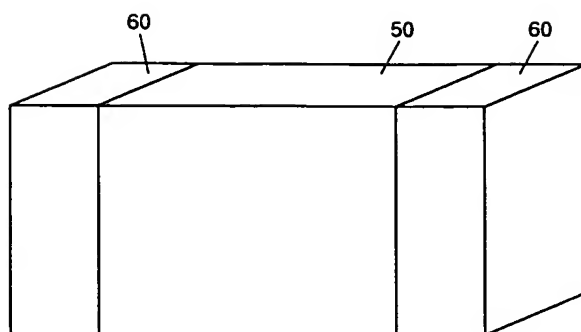
도면 14



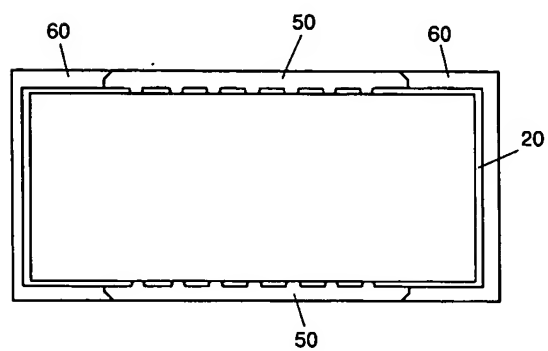
도면 15



도면 16

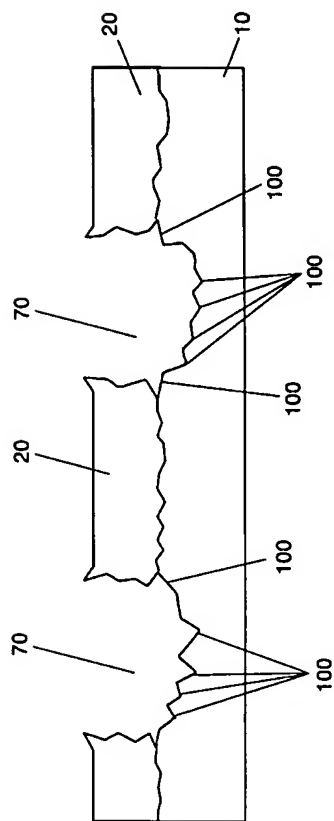


도면 17





도면 18



도면 19

